

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-265891

(43)Date of publication of application : 28.09.1999

(51)Int.Cl.

H01L 21/3205

H01L 27/04

H01L 21/822

H01L 27/10

(21)Application number : 11-020000

(71)Applicant : TOSHIBA CORP
TOSHIBA MICROELECTRONICS CORP

(22)Date of filing : 28.01.1999

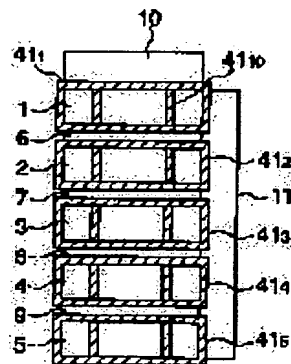
(72)Inventor : FUJII HIDETAKE
SAKURAI SEISHI
SHIMIZU MITSURU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent Al wiring or the like from being narrowed in part by exposure on patterning in a semiconductor memory where the Al wiring or the like is provided near a part having a severe step such as a contact part.

SOLUTION: For example, in the core part of a semiconductor memory, dummy patterns 411-415 that are electrically inactive are provided at the outer periphery of memory cell arrays 1-5, so that the cell arrays 1-5 and a pattern layout including the quality of a material become the same conditions. Then, a polysilicon word wire for reducing the delay of the word wire so as to the grounding parts (contact parts) 6-9 of an Al wiring on the polysilicon word wire between the cell arrays 1-5 via the dummy patterns 411-415.



LEGAL STATUS

[Date of request for examination] 28.01.1999

[Date of sending the examiner's decision of rejection] 06.02.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-265891

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/3205

H 0 1 L 21/88

S

27/04

27/10

4 7 1

21/822

27/04

D

27/10

4 7 1

審査請求 有 請求項の数 3 O L (全 4 頁)

(21) 出願番号

特願平11-20000

(62) 分割の表示

特願平9-88390の分割

(22) 出願日

昭和63年(1988)11月15日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地 1

(72) 発明者 藤井 秀壮

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝総合研究所内

(72) 発明者 桜井 清史

神奈川県川崎市川崎区駅前本町25番地 1

東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

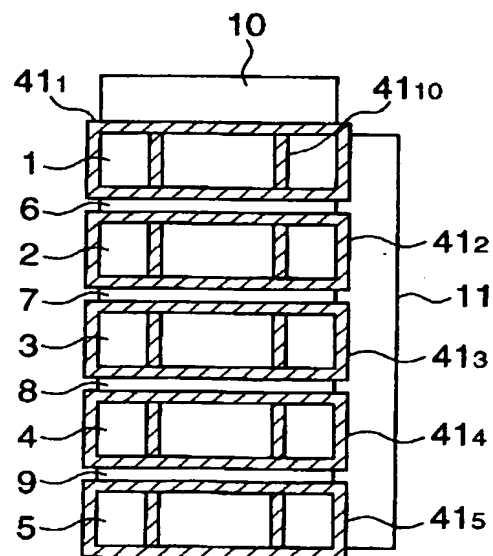
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】本発明は、コンタクト部などの段差の厳しい部分の近くに A 1 配線などが設けられてなる半導体メモリにおいて、パターニングの際の露光により A 1 配線などが部分的に細るのを防止できるようにすることを最も主要な特徴とする。

【解決手段】たとえば、半導体メモリのコア部において、メモリセルアレイ 1 ～ 5 の外周に、電氣的に非アクティブな状態のダミーパターン 4 1₁ ～ 4 1₅ を、該セルアレイ 1 ～ 5 とパターンレイアウト (材質を含む) が同一条件となるようにして配置する。そして、各セルアレイ 1 ～ 5 間に、ダミーパターン 4 1₁ ～ 4 1₅ をそれぞれ介して、ワード線遅延を少なくするための、ポリシリコンワード線と該線上の A 1 配線の接地部 (コンタクト部) 6 ～ 9 を設けてなる構成となっている。



【特許請求の範囲】

【請求項1】 一定のパターンレイアウトで形成された複数のワード線と、

前記ワード線を選択するローデコーダと、

一定のパターンレイアウトで形成された複数のビット線と、

前記ビット線を選択するカラムデコーダと、

前記ワード線および前記ビット線が格子状に配され、前記ワード線方向に設けられた複数のメモリセルアレイと、

前記ワード線にそれぞれ沿って、各ワード線の上に絶縁膜を介して配された、該ワード線の遅延軽減のための金属配線と、

前記金属配線と前記ワード線とを接続するために形成された複数のコンタクト部と、

前記各メモリセルアレイの、他のメモリセルアレイと隣接する側に形成された最も端のビット線の外側に、前記ビット線のパターンレイアウトと同一条件で形成され、それぞれ電氣的に非アクティブ状態にされる複数のダミービット線とを具備し、

前記コンタクト部は、各ワード線に対して、それぞれワード線の方向に複数設けられるとともに、前記ダミービット線間に形成されてなることを特徴とする半導体装置。

【請求項2】 前記金属配線は、前記ワード線の上に絶縁膜を介して形成された、前記ビット線の上に絶縁膜を介して形成されてなることを特徴とする請求項1に記載の半導体装置。

【請求項3】 一定のパターンレイアウトで形成された複数のワード線と、

前記ワード線を選択するローデコーダと、

一定のパターンレイアウトで形成された複数のビット線と、

前記ビット線を選択するカラムデコーダと、

前記ワード線および前記ビット線が格子状に配され、前記ワード線方向に設けられた複数のメモリセルアレイと、

前記ワード線にそれぞれ沿って、各ワード線の上に絶縁膜を介して配された、該ワード線の遅延軽減のための金属配線と、

前記金属配線と前記ワード線とを接続するために形成された複数のコンタクト部と、

前記各メモリセルアレイの、他のメモリセルアレイと隣接する側に形成された最も端のビット線の外側に、前記ビット線のパターンレイアウトと同一条件で形成され、それぞれ電氣的に非アクティブ状態にされる複数のダミービット線とを具備し、

前記コンタクト部は、各ワード線に対して、それぞれワード線の方向に複数設けられた、段差を有するベリードコンタクト部であり、

前記ダミービット線は、前記メモリセルアレイの最も端のビット線をパターンニングする際のレジストの露光時に、前記ベリードコンタクト部の段差部分への光の到達を阻止するために、前記ベリードコンタクト部の上部に、前記段差部分を被うように形成されてなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関するもので、特に、半導体メモリ形成時のパターン改良に使用されるものである。

【0002】

【従来の技術】半導体メモリにおいては、同一パターンを有した多くの同一繰り返しブロックが用いられている。その一例として、ローデコーダ、カラムデコーダ、メモリセルアレイを有したコア部があげられる。図5はその概略的平面図で、1～5はメモリセルアレイ、6～9はワード線と金属配線の接地部、10はローデコーダ、11はカラムデコーダ、WLはワード線、12はポリシリコンよりなるワード線とその上のA1配線とのコンタクト部である。

【0003】上記のような構成において、繰り返しから非繰り返しとなる部分をパターンニングする場合、配線が細ってしまうなどの問題が生じている。特にデザインルールの厳しいコア部においては、このような現象が起きやすく、セルアレイ1～5の外周や、ワード線WLのタップ（ワード線のCRによる遅延を小さくするため、ポリシリコンのワード線の上にA1配線を沿わせて走らせ、これら両配線間で間隔的にコンタクトをとっている部分）付近で集中してビット線不良が存在しやすい。また一番端に位置したビット線のみ、他のビット線に比べて細り、ビット線どうしの配線容量が異なるため、端のビット線対のセンスマージンが悪化するなどの問題も生じてくる。

【0004】図6、図7は上記問題点を更に詳しく説明するためのもので、21₁～21₃は例えばA1配線、31も同配線、32はベリードコンタクト（ダイレクトコンタクトともいう）部である。即ちコア部のデザインルールは、その周辺回路部に比べて厳しく、例えばデザインルールの厳しい図6の間隔L₁に合わせてエッチングした場合、L₁に比べL₂（L₁<L₂）の方が、ドライエッチング用のガスがたまりやすく、エッチングレートが異なって、斜線部分22がオーバーエッチングとなり、配線21₂、21₃が細る。

【0005】図7（a）はパターン平面図、同図（b）は同側面図であるが、コンタクト部32などの段差の厳しい部分の近くにA1配線31などがある場合、露光時に光33の散乱効果などが生じて、斜線部34で示される如き配線細りが生じる。

【0006】

【発明が解決しようとする課題】上記したように、従来においては、コンタクト部などの段差の厳しい部分の近くにある配線は、露光時の光散乱などにより、部分的に細るという問題があった。

【0007】そこで、この発明は、繰り返しパターン領域から非繰り返しパターンとなる部分において、製造装置やプロセスの変更なしに、配線の細りやパターン相互の容量のアンバランスなどを改善することが可能な半導体装置を提供することを目的としている。

【0008】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置にあっては、一定のパターンレイアウトで形成された複数のワード線と、前記ワード線を選択するローデコーダと、一定のパターンレイアウトで形成された複数のビット線と、前記ビット線を選択するカラムデコーダと、前記ワード線および前記ビット線が格子状に配され、前記ワード線方向に設けられた複数のメモリセルアレイと、前記ワード線にそれぞれ沿って、各ワード線の上方に絶縁膜を介して配された、該ワード線の遅延軽減のための金属配線と、前記金属配線と前記ワード線とを接続するために形成された複数のコンタクト部と、前記各メモリセルアレイの、他のメモリセルアレイと隣接する側に形成された最も端のビット線の外側に、前記ビット線のパターンレイアウトと同一条件で形成され、それぞれ電氣的に非アクティブ状態にされる複数のダミービット線とを具備し、前記コンタクト部は、各ワード線に対して、それぞれワード線の方向に複数設けられるとともに、前記ダミービット線間に形成されてなる構成とされている。

【0009】また、この発明の半導体装置にあっては、一定のパターンレイアウトで形成された複数のワード線と、前記ワード線を選択するローデコーダと、一定のパターンレイアウトで形成された複数のビット線と、前記ビット線を選択するカラムデコーダと、前記ワード線および前記ビット線が格子状に配され、前記ワード線方向に設けられた複数のメモリセルアレイと、前記ワード線にそれぞれ沿って、各ワード線の上方に絶縁膜を介して配された、該ワード線の遅延軽減のための金属配線と、前記金属配線と前記ワード線とを接続するために形成された複数のコンタクト部と、前記各メモリセルアレイの、他のメモリセルアレイと隣接する側に形成された最も端のビット線の外側に、前記ビット線のパターンレイアウトと同一条件で形成され、それぞれ電氣的に非アクティブ状態にされる複数のダミービット線とを具備し、前記コンタクト部は、各ワード線に対して、それぞれワード線の方向に複数設けられた、段差を有するベリードコンタクト部であり、前記ダミービット線は、前記メモリセルアレイの最も端のビット線をパターンニングする際のレジストの露光時に、前記ベリードコンタクト部の段差部分への光の到達を阻止するために、前記ベリードコ

ンタクト部の上部に、前記段差部分を被うように形成されてなる構成とされている。

【0010】この発明の半導体装置によれば、コンタクト部での光散乱によって実配線の一部が余計にエッチングされるのを防止できるようになる。これにより、セルアレイ外周やワード線タップ付近など（規則的から不規則に移る個所）に発生しやすい不良（配線の細りや段線）を防ぐことが可能となるものである。

【0011】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0012】図1は本発明の実施の一形態にかかる、半導体メモリのコア部のパターン平面図、図2、図3

(a)は同要部のパターン平面図、図3(b)は同図

(a)の側面図であるが、これらは前記従来例と対応させた場合の例であるから、対応個所に同一符号を付して説明を省略し、特徴とする点の説明を行う。図1の半導体メモリのコア部は、ワード線を選択するローデコーダ10と、ビット線を選択するカラムデコーダ11と、メモリセルアレイ1～5と、セルアレイの外周に配置されたダミーパターン41₁～41₅及び内部のダミーパターン41₁₀は、セルアレイとパターンレイアウト（材質を含む）が同一条件となるようにしてあるが、電氣的にアクティブな状態にないもの（フローティングまたは固定電位）である。また各セルアレイ間には、図5の場合と同様にワード線遅延を少なくするための、ポリシリコンワード線と該線上のA1配線の接地部（コンタクト部）6～9が設けられている。

【0013】このような構成においてパターンニングを行うと、セルアレイの外周と内部にダミーパターンが配置されていることにより、実際に動作を行うセルアレイ1～5は、全て同一条件下（上下左右に同一繰り返しパターン41₁～41₅、41₁₀）にてパターンニングできる。例えば図2において、ダミーパターン51により、配線21₁、21₂間、21₂、51間が同一条件となるので、配線21₁、21₂を同じ幅に形成できる。また図3において、ベリードコンタクト32上のダミー配線61により、図7(b)の如き光散乱が防止できるため、同図(a)の如きA1配線31の細りを防止できる。

【0014】また図4において71₁～71₃はベリードコンタクトを構成するポリシリコン配線で、71₁は実配線、71₂、71₃はダミー配線であるが、ベリードコンタクトの実配線71₁に隣接してダミーのベリードコンタクト配線71₂、71₃を設けたため、酸化膜72を平坦に形成できる。これは図7(b)の段差構造と比較すれば、いかに図4の構造が優れているかが分かる。

【0015】なお本発明は上記の形態に限らず種々の応用が可能である。例えば本発明においては、規則、不規

則両パターン領域の材質は、Alなどの配線金属、ポリシリコン、ポリサイド、ベリードコンタクト部等を用いることができる。

【0016】

【発明の効果】以上、詳述したようにこの発明によれば、ダミービット線を設けたことにより、繰り返しパターン領域から非繰り返しパターンとなる部分において、製造装置やプロセスの変更なしに、配線の細りやパターン相互の容量のアンバランスなどを改善することが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】この発明の実施の一形態にかかる、半導体メモリのコア部を概略的に示すパターン平面図。

【図2】同じく、要部のパターン平面図。

【図3】同じく、要部のパターン概略図。

【図4】本発明の実施の他の形態にかかる、要部のパターン断面図。

【図5】従来技術とその問題点を説明するために、半導体メモリのコア部を概略的に示すパターン平面図。

【図6】同じく、従来における要部のパターン平面図。

【図7】同じく、従来における要部のパターン概略図。

05 【符号の説明】

1～5…メモリセルアレイ

6～9…ワード線と金属配線との接地部

10…ローデコーダ

11…カラムデコーダ

10 21₁, 21₂, 31…Al配線

32…ベリードコンタクト

41₁～41₅, 41₁₀, 51…ダミーパターン

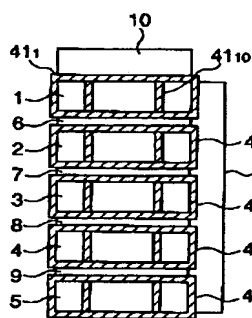
61…ダミー配線

71₁…実配線

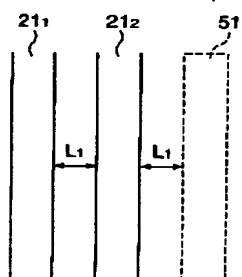
15 71₂, 71₃…ダミーのベリードコンタクト配線

72…酸化膜

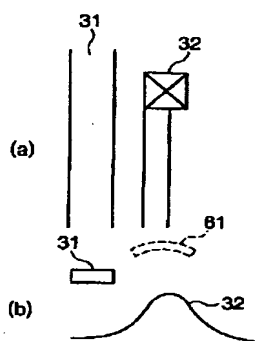
【図1】



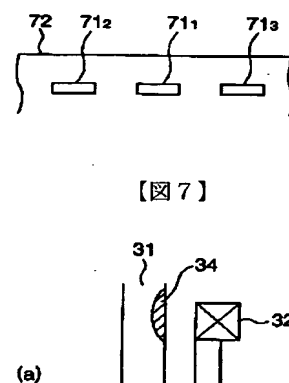
【図2】



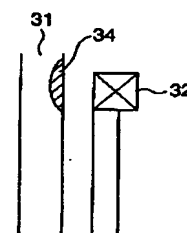
【図3】



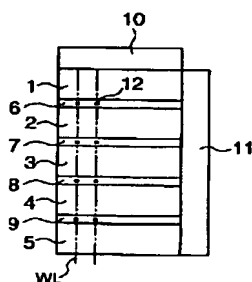
【図4】



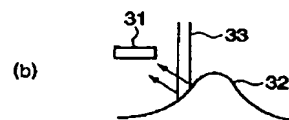
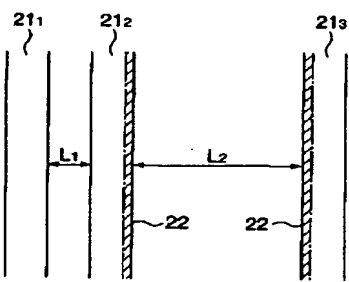
【図7】



【図5】



【図6】



フロントページの続き

(72)発明者 清水 満

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内 50